

为芯片和异构 IC 封装做好供应链准备

作者: Mike Kelly、Dave Hiner、Ruben Fuentes、Jonathan Micksch、Vineet Pancholi [Amkor Technology, Inc.]

使用异构集成 (HI) 和小芯片的产品已经出现并投入生产, 目前的趋势是更多的产品和客户选择半导体封装和测试外包供应商 (OSAT) 和代工提供商来开发和认证其产品。

多年来处理器和内存一直都封装在一起, 在高端市场, 处理器和高带宽内存 (HBM) 封装达到了顶峰, 以满足快速增长的人工智能 (AI) 算法训练市场的需求。现在将晶片功能分解成小芯片的做法, 对未来设计产生了更广泛更深远的影响。采用小芯片方法, 产品性能可以继续提高, 而成本却仍然很低。由于小芯片体积更小、良率更高, 而且可以混合使用硅制程节点来进一步优化硅成本, 因此可以降低硅总体成本。用于异构和小芯片方法的集成电路 (IC) 封装成本较高, 但降低的硅总体成本和上市时间的缩短抵消了封装成本的增加。

转向小芯片和 HI 实施需要为 IC 和封装设计、IC 和封装制造以及电气测试建立新的基础设施。设计工具需要理解二维和三维物理配置中的多个 IC、功能器件电气测试 (E-Test) 和更高的功率密度。近年来, 支持小芯片和异构结构的 IC 封装一直是 OSAT 和代工厂的主要关注点。多晶粒产品必须集成到一个功能单元中。这种集成采用更高密度的集成方法, 即晶圆级 (晶圆上芯片, CoW) 高密度模块和高密度多芯片模块 (MCM), 或两者兼而有之。然后在生产环境中将高密度模块连接到 IC 封装基板上, 就像传统的系统级芯片 (SoC) 倒装芯片球栅阵列 (FCBGA) 封装一样, 但有几项关键的定制。

目前, 产品元件和开发中采用的封装方法包括以下几种: 1) 依赖硅介质层的 2.5D 硅穿孔 (TSV) 模块, 即 2.5D TSV; 2) 采用高密度扇出 (HDFO) 多层再分布层 (RDL) 方法的模块; 或 3) 具有桥接功能的模块。这些二维结构可用于分立晶片组合以及分立晶片和三维晶片堆叠组合。以下各节将讨论这一发展态势, 首先从 2.5D TSV 开始。

2.5D TSV 硅穿孔

自 2017 年以来, Amkor 一直在大批量生产 (HVM) 2.5D TSV。初期工艺流程为完整的“TSV 露头”能力, 首先从其中一家代工厂生产的全厚度介质层晶片开始, 减薄以露出铜 TSV, 然后是无机钝化步骤、底部凸点金属化 (UBM) 和介质层背面凸点。

这一产品领域的主导产品是与高带宽 DRAM 内存 (HBM) (包括 HBM2、HBM2e 和 HBM3) 结合使用的高性能处理器。2.5D TSV 是现代异构集成技术中最早使用高密度模块的技术之一, 允许在封装内集成处理器和 DRAM。基于硅的介质层采用铜后道代工制造工艺, 使得 IC 封装内的线路和空间达到 1-2 μ m。这对于为 HBM 通信提供非常广泛的并行数据库至关重要。从许多方面来看, 正是 2015-2018 年为实现 2.5D TSV 而进行的工艺开发, 为基于高密度模块的新型产品奠定了基础。这些新方法针对的是下一波异构集成, 就像过去几年中设计和认证的小芯片一样。除了为支持 TSV 露头工艺而开发的最新加工技术外, 还需要一类新的超小型铜柱凸点, 以支持 40-55 μ m 范围内的凸点间距。这需要先进的电镀工具和化学成分。

上述许多基础技术被原封不动地使用或扩展到其他高密度模块, 如 HDFO 和基于桥接的产品开发 (图 1)。

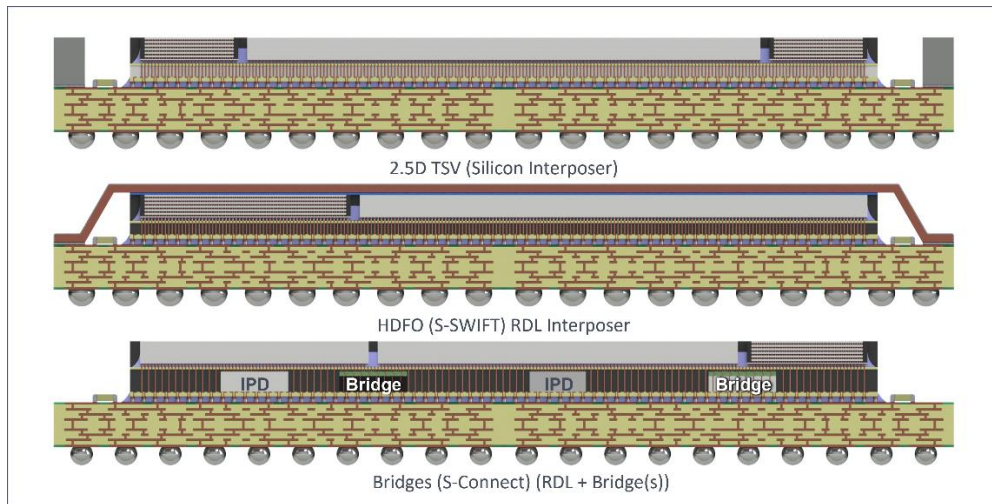


图 1：基于高密度模块的产品。

HDFO

基于 HDFO 介质层的模块已通过内部质检，我们一些客户的产品也正在进行认证。我们公司内部将 HDFO 称作 S-SWIFT（基板硅晶圆集成扇出技术）。HDFO 技术正被应用于从高性能计算和 AI 到汽车应用等众多市场和应用领域。小芯片架构推动了高级封装设计规则的发展，而 HDFO 和其他基于模块的解决方案使这些规则成为可能。我们制作的这种 HDFO 介质层可支持芯片优先和芯片最后结构。每种制造方法都有优缺点，在许多情况下，最终客户可能对特定的流程或结构有特定的要求。

所谓“芯片优先”，简单地说，就是在模块制造之初就放置有源硅芯片。芯片面朝上安装在晶圆载体上，多层 RDL 工艺通过与有源硅的直接金属连接完成。“芯片最后”则是先制造 RDL，然后使用焊点和底部填充进行传统的晶圆上芯片封装工艺。模块完成后，再以类似于非模块产品的方式组装到封装基板上。图 2 显示了这两种方法的总体比较。

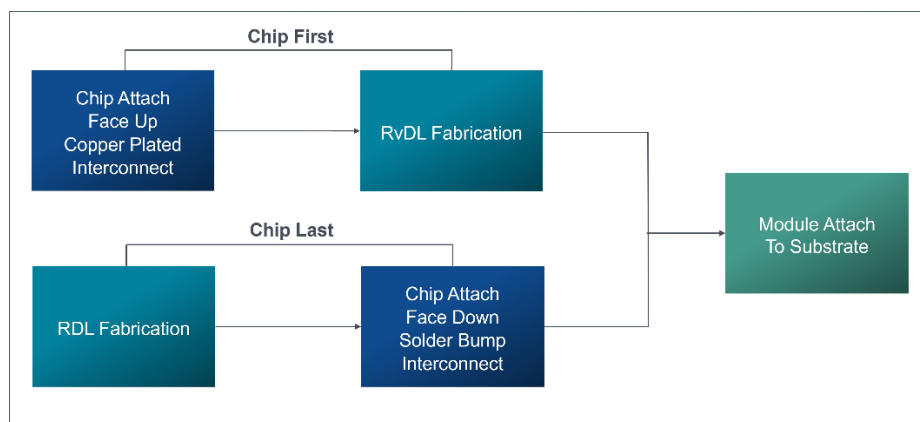


图 2：一般芯片优先与芯片最后流程对比。

考虑将产品关键参数测试 (product intercept) 运用到 HDF0 时, 我们鼓励使用与最终产品设计复杂性相匹配的测试载体(TV)。这一测试阶段可以利用设计中设计规则的层次结构来测试 HVM 设计规则的边界和整体工艺能力。该流程可对首次产品关键参数测试进行验证, 并对升级换代要求进行初步检查。这些 TV 设计采用一系列菊花链, 可以测试历史高应力区域, 包括晶片角、晶片间隙、模块角、堆叠穿孔等。定义明确的菊花链可以提供电气数据, 从而支持对 TV 开发阶段同样至关重要的机械建模工作。预测性建模可以在项目开始时为设计和材料选择提供关键见解, 并在开发过程中发现挑战和解决方案。许多成功的项目都采用了这种 TV 开发战略, 我们强烈推荐这种战略。

我们目前的 SWIFT 技术可支持 1.5 微米线宽和 1.5 微米间距的模块设计, 层数在 2 到 6 层之间。可支持的模块尺寸从较小的模块到大于使用掩模拼接技术的掩模尺寸的模块。图 3 显示了典型的 6 层 RDL 模块, 其顶层晶片焊点采用芯片最后方法制造。图 4 显示了后续模块与基板的焊点。

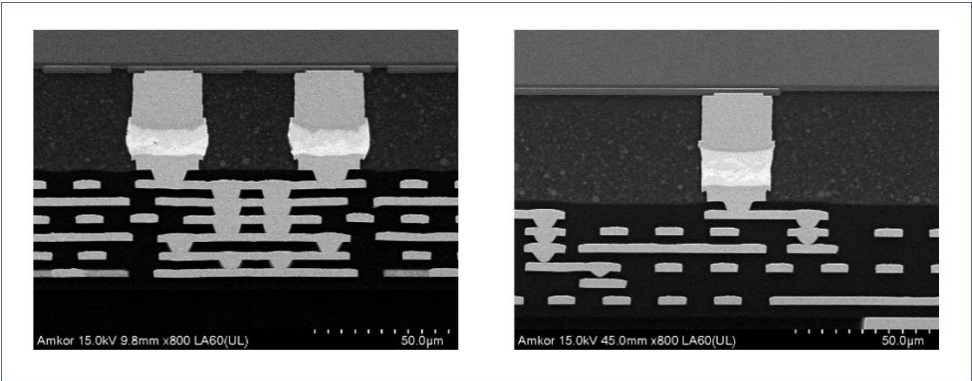


图 3: 连接到 HDF0 的测试载体芯片。

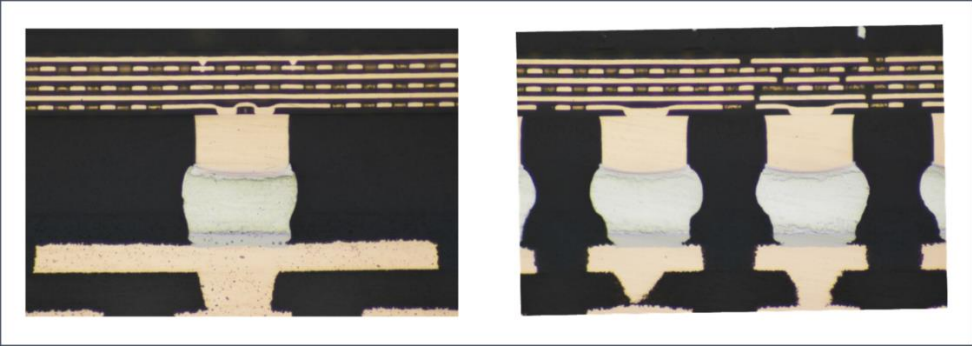


图 4: 连接到封装基板的测试载体 HDF0 模块。

桥接

HDF0 的下一个迭代可利用桥接硅和有源硅的其他嵌入式元件实现三维功能。在 HDF0 介质层制造过程中开发的基本构件在加入嵌入式桥接元件或其他设备后得到了扩展。这些嵌入式元件可以具有基本的超高密度路由功能, 如两

个小芯片之间的路由，也可以是有源或无源元件，如集成无源器件（IPD）。嵌入式硅元件可能包含也可能不包含 TSV，允许通过嵌入式元件进行垂直连接。

要实现这种新结构，必须具备几种关键的工艺能力，包括准确的元件放置、高铜柱电镀和翘曲控制。通过这种方法，可以利用晶圆厂的高密度路由能力实现小芯片之间的互连，从而减少 HDFO 介质层中的 RDL 层数。对于许多客户来说，能够增加离散元件功能是一项额外优势。S-Connect 在市场上有三个主要驱动因素。首先，硅片可提供亚微米路由能力，从而为系统设计提供更密集的路由。其次，使用桥接晶片进行芯片与芯片之间的连接，可以减少对介质层 HDFO 路由的层数要求，提高整体良率。最后，该工艺允许放置硅 IPD 等增强性能的非桥接元件，使其更接近有源硅的关键区域。

与客户接触时，我们会考虑 HDFO 和 S-Connect 之间的权衡分析。硅桥接和潜在 IPD 的来源是这项评估的关键因素。这些元件的供应与有源硅一样，对决策至关重要。工艺成熟度是关键因素，因为业界多年来一直在生产 2.5D TSV 模块。同样，HDFO 也比 S-Connect 技术更加成熟。这些成熟度往往会影响客户的决策。

我们的基板上嵌入式桥接 HDFO 模块（S-Connect）版本见图 5。我们已经完成了芯片最后的非 TSV 桥接 TV 的内部认证，我们正在与几家客户合作，计划利用这些先进功能。

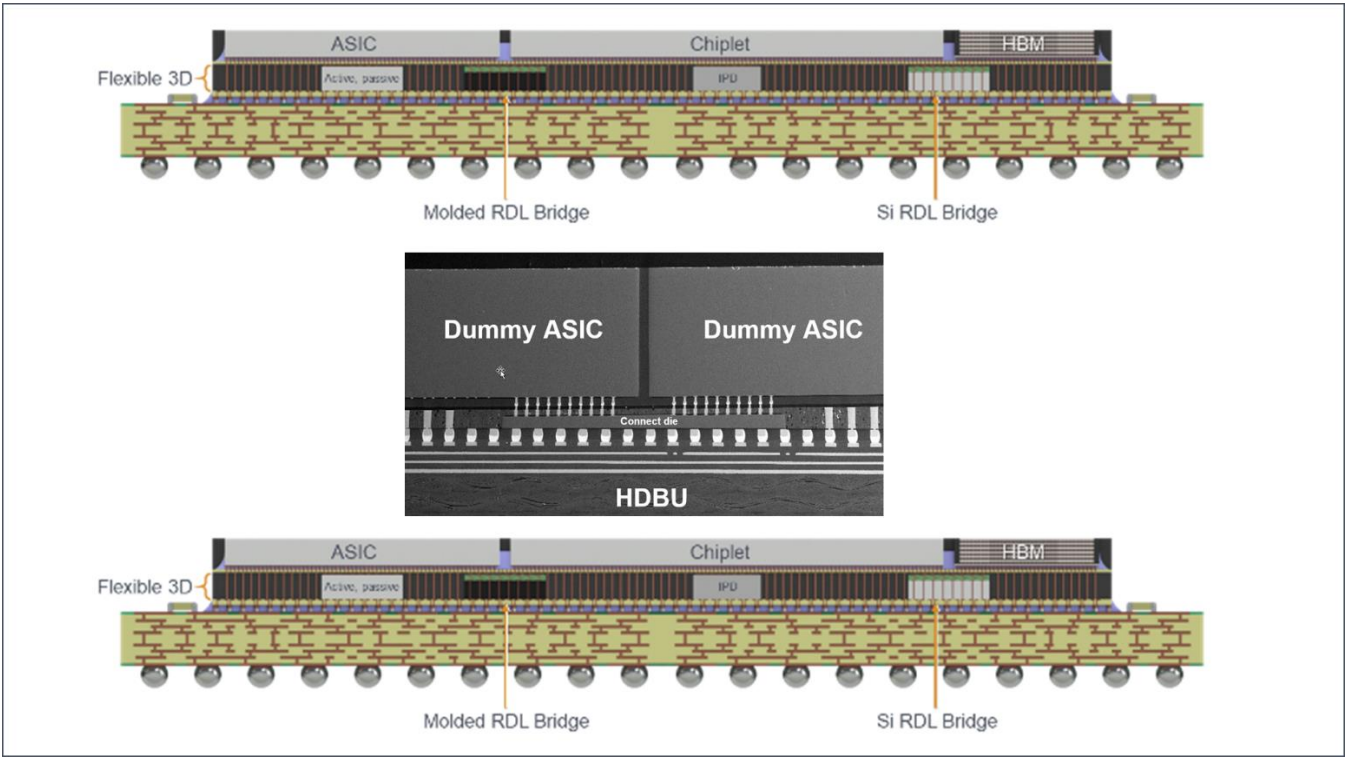


图 5: Amkor 的 S-Connect 技术。

设计支持

我们的 SmartPackage 封装组装设计套件（PADK）（图 6）是为成功的供应链体验准备设计布局的理想工具。在设计流程的早期阶段，就能将各种大批量或先进制造和组装设计规则要求纳入设计布局，从而极大地提高了供应链支

持路径的顺畅度。值得注意的是，该解决方案兼容多种电子设计自动化（EDA）设计工具，进一步确保了能够与许多独立设计工作流程保持一致。



图 6: Amkor 的 SmartPackage PADK 微调了定制设计规则要求。

在当代实践中，有两种流行的设计工作流程，一种是完整 OSAT 流程，另一种是以 OEM/无工厂为重点的基于项目的设计流程。在完整 OSAT 设计工作流程中，我们根据客户的指示提供全面的设计服务和验证签核。在 OEM/无工厂设计工作流程中，我们与选择设计封装布局的用户合作，他们需要在向我们提供用于制造和组装流程的生产数据之前完成验证签核。

这种在 EDA 和计算机辅助制造（CAM）设计工具中准确执行设计规则、制造和组装限制的能力，与 SmartPackage PADK 相结合，使用户能够在设计流程的早期快速发现设计局限，从而限制产品设计周期数。要体验这些优势，可能需要对软件和硬件基础设施进行一些投资。根据当前的设计环境，需要使用大功率 Linux 服务器。该系统的任务是对准备用于制造的制造数据运行大量制造和组装设计规则限制。

我们于 2016 年率先开发了 PADK。用户可获得 PADK 支持，将其集成为设备开发方法中功能强大的组件。OSAT 可以为封装设计布局方向提供指导，提供特定的应用培训，并提供持续的设计审查支持，使用最新的软件将其封装知识和经验融入 SmartPackage PADK 元素中。

封装组装设计套件中哪些因素对设计成熟度影响最大？重点通常围绕三个关键领域。首先是 EDA 起点数据库，其次是设计规则限制（DRC）签核验证，第三是根据连接清单要求验证生产数据的能力。

SmartPackage PADK 的特点之一是能够根据设备或设计布局的需要，对特定的定制设计规则要求进行微调。与固定节点规则集合系统相比，针对特定设备的设计规则集合的优势在于，无需提供大量仔细的豁免，即可获得通过的验证报告。

测试

自 2.5D TSV 开发周期开始以来，我们一直在针对异构集成产品提供测试服务。设计和评估测试载体的系统方法使测试工程师能够在实际产品问世之前，对设计的关键环节进行测试。所有异构小芯片封装都面临一些测试难题。小芯片互连完整性是其中非常重要的问题。

要向封装内的每个小芯片输送信号和电，需要在制造过程中进行仔细的布局、设计和测试（图 7）。所使用的封装材料类型和本文前面所述的封装结构会影响小芯片与封装层上暴露引脚之间的互连性能。其中包括静态连接质量、连续性、漏电和瞬态交流定时、阻抗匹配和信号串扰等。每个小芯片的热性能也会影响生产测试。小芯片温度不均匀造成的热梯度不可避免。在精心设计的整体产品架构中，可测试性设计（DFT）这一重要考量因素须涵盖产品的所有功能部分。

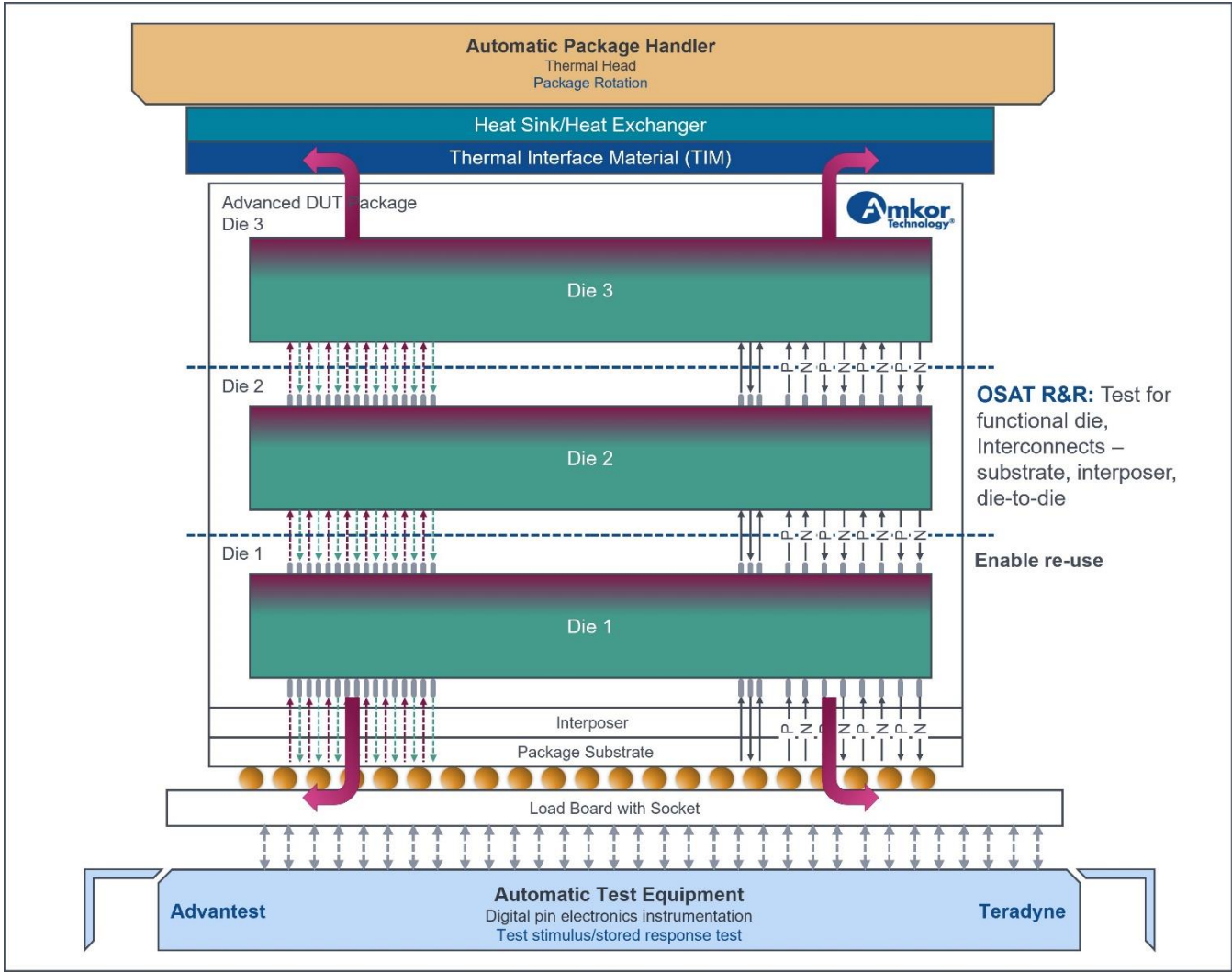


图 7：多晶粒封装中电源、数据输入/输出、偏置和时钟的生产测试。

IEEE1838 [1] 就是这样一种在构建产品架构阶段有帮助的标准。测试接入每个小芯片以及内部所有功能块是“必须具备的条件”，这样才能进行全面的生产测试。

IEEE - 1687 [2] 描述了接入嵌入半导体器件内元件的仪器的测试方法。电子数据自动化（EDA）供应商已经定义了知识产权（IP）块，用于监控环境属性，包括晶片上的工艺、电压和温度（PVT）。他们在逻辑设计中添加传感器的概念与此类似，并记录了对整个制造工作流程的诸多优势。将 PVT 传感器放置在热积聚点附近，对于分析封装架构和设计实施中热密度的严重性和敏感性至关重要。将这些传感器安装在晶片内比单独安装在封装上更简单，也更符合成本效益。对各种角情况下的遥测数据流进行回读和分析，以便根据模拟结果进行验证。图 8 显示了用于监控的封装环境控制方框图。

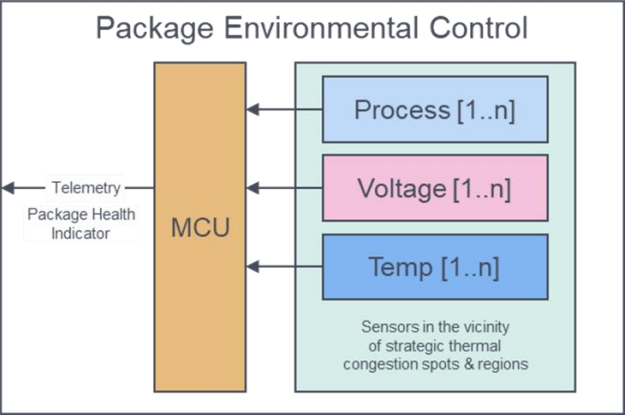


图 8：封装环境控制方框图，其中配有各种传感器，可在包括生产测试过程在内的运行过程中通过遥测数据流监控封装的健康状况。

作为 OSAT，简化生产测试工作流程对我们公司至关重要。全行业的测试方法标准化工作正在发挥作用。例如，通用小芯片互连技术（UCIe）标准包括限制待固定的小芯片边缘。这样就可以简化位置和路由，实现互操作性。

UCIe 标准还包括冗余修复和小芯片上任务模式眼图特征化和边际化的设计准则（图 9）。冗余修复可以恢复封装的良率，如果没有这种功能，封装可能会被拒收。生产测试中的“眼图边际化”功能使产品架构师和设计师能够监控工艺变化，并一代又一代地进行系统改进。

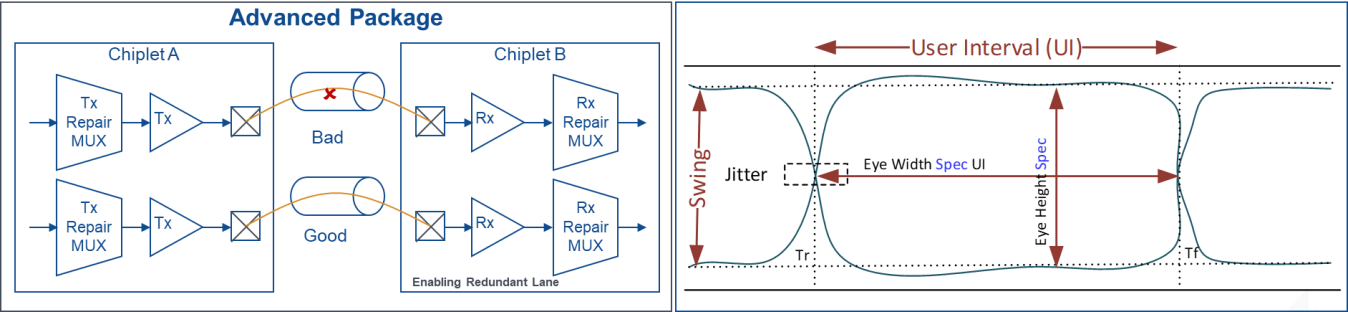


图 9：标准推动了冗余通道和小芯片上任务模式眼图特征化和边际化的发展。

可控、可管理、可重复的生产测试环境可确保为未来的产品设计迭代提供准确的反馈，并确保稳定的良率。测试、封装处理和光学检测供应链正在继续完善计量方法，以考虑到所有已确定的故障夹点。

热考虑因素

功率密度不断增加，要在更小的体积内装入更多的功能硅片，就必须密切关注功耗路径。我们正在开发优化的封装级解决方案，以协助实现这一目标。聚合物基热界面材料（TIM）仍是主流，但对于更高端的功率水平，可能需要冶金 TIM，包括 2.5D TSV、HDF0 和桥接模块。这个领域的发展很活跃。

总结

向基于小芯片的异构集成过渡正在顺利进行。小芯片方法的价值主张非常强烈，最近成功进入计算和 AI 市场就是证明。异构和基于小芯片的 IC 封装在这一演进过程中发挥着关键作用，2.5D TSV、HDF0 和桥接方法为这些集成提供了具有成本效益的途径。

致谢

SWIFT 是 Amkor Technology, Inc. 的注册商标。S-SWIFT 和 SmartPackage 是 Amkor Technology, Inc. 的商标。UCIe 是通用小芯片互连技术（Universal Chiplet Interconnect Express）的商标。

参考资料

1. “IEEE 三维堆叠 IC 测试接入架构标准”，IEEE 标准 1838-2019，第 卷，第 篇，第 1-73 页，2020 年 3 月 13 日，DOI: 10.1109/IEEESTD.2020.9036129。
2. “IEEE 半导体设备内嵌仪器的接入和控制标准”，IEEE 标准 1687-2014，第 卷，第 篇，第 1-283 页，2014 年 12 月 5 日，DOI: 10.1109/IEEESTD.2014.6974961。

关于作者



Mike Kelly 是位于亚利桑那州坦佩市的 Amkor Technology, Inc. 的小芯片/FCBGA 集成副总裁。Mike 于 2005 年加入 Amkor，领导了 EMI 屏蔽、热增强型封装、传感器和高密度 MCM 封装（包括 2.5D TSV 封装和高密度扇出型封装 HDF0）的封装开发。他从事电子与 IC 封装设计和制造 25 年。Mike 在该领域拥有 40 多项专利，并持有机械和化学工程的硕士学位。电子邮件 Mike.Kelly@amkor.com。



Dave Hiner 是位于美国亚利桑那州坦佩的 Amkor Technology, Inc. 的封装开发高级总监。Dave 于 1997 年加入 Amkor，曾在质量、基板技术、高级互连和晶圆级封装开发等领域担任过各种管理职位。他在组装和封装行业的工作年限超过 30 年。Dave 拥有 22 项半导体封装专利，持有美国亚利桑那州立大学化学工程学士学位和凤凰城大学 MBA 学位。

如需了解关于 Amkor Technology 的更多信息，请访问: <https://amkor.com/cn/>。