

DSMBGA パッケージで 5G RF フロントエンドモジュールの進化を可能にする

著者：Amkor Technology, Inc. アドバンスド SiP 製品開発担当、VP、Curtis Zwenger
チップスケール・レビュー、2021 年 9-10 月号より転載

5G ワイヤレス技術の急成長に伴い、携帯電話の周波数帯域は大幅に増加し、スマートフォンやその他の 5G 対応機器の無線周波数（RF）のフロントエンドモジュールのパッケージングには革新的なソリューションが必要になりました。弊社の両面モールドボールグリッドアレイ（DSMBGA）は、そのようなソリューションの例です。両面パッケージング技術は、スマートフォンなどのモバイル機器に使用される RF フロントエンドモジュールの統合レベルを、大幅に向上させました。一般的な RF フロントエンドモジュールは、低ノイズアンプ（LNA）、パワーアンプ、RF スイッチ、RF フィルター、デュプレクサなどで構成されています。

弊社の高度なシステム・イン・パッケージ（SiP）設計ルールと DSMBGA 技術により、アンテナチューナーやパッシブコンポーネントなどの追加コンポーネントの統合が可能となり、プレミアムデバイスのマザーボードのスペースを確保することができます。

5G の概要

5G とは、携帯電話会社が 2019 年に全世界で展開し始めた第 5 世代の技術規格です。以下の記載通り、3 つの明確な分類があります。

ローバンド 5G (IoT)

ローバンド 5G は、4G 携帯電話と同じ 600～850MHz の周波数帯を使用し、4G よりも少し高いダウンロード速度、30～250Mbps を実現します。ローバンドのセルタワーは、4G のタワーと同様の範囲とカバレッジエリアを有します。この範囲では、パッケージも似たようなものになります。

ミッドバンド 5G sub-6

ミッドバンド 5G sub-6 は、4G 技術のアップグレードであり、パッケージングの段階的なイノベーションを必

要とします。6GHz の周波数で動作するため、現在の RF パッケージング・アーキテクチャにわずかな変更を加えるだけで、部品表（BOM）の変更は最小限に抑えられます。

5G ミリメートル波（ミリ波）

5G ミリ波技術は、既存の概念を打ち砕くイノベーションです。24GHz を超えるミリ波周波数の導入は、新しいパッケージング・アーキテクチャやプラットフォームを採用するビジネスチャンスが生まれます。その一例が、アンテナのパッケージへの統合です。これを実現するには、大幅な設計変更と新しい低損失材料が必要です。

5G 技術は、次のような主要な集積回路（IC）市場のすべてのセグメントにおいて、製品の進化を可能にします：

1) モビリティ 2) モノのインターネット（IoT） 3) 車載製品（先進運転支援システム（ADAS）
4) ハイパフォーマンス・コンピューティング（HPC）／ネットワーキング 5) 5G ネットワークトポロジー。
5G は新世代のテクノロジーを超えるものであり、これは、コネクティビティがますます流動的かつ柔軟になる新しい時代を意味しています。5G ネットワークは、アプリケーションやパフォーマンスに適応し、ユーザーのニーズに的確にカスタマイズできるようになります。

スモールセルは 10 メートルから数キロメートルの範囲にあるライセンス付きおよびライセンス無しの周波数帯で動作する低消費電力の携帯電話基地局です。5G の電波は周波数が高く長距離を移動できないため、スモールセルは 5G のネットワークにとって重要な役割を果たします[1]。

ビームフォーミングと呼ばれる技術では、基地局のコンピュータが各無線機器に電波が届く最適なルートを継続的に計算し、複数のアンテナを編成してフェーズドアレイとして連携させ、ミリ波のビームを作って機器に到達させます[2]。

エッジコンピューティングは、最終的なユーザーの近くにサーバーを配置することで実現します。この分散コンピューティングにより、レイテンシーやデータトラフィックの混雑が緩和されます。5G のエコシステムでは、クラウドデータセンターがコンピューティングのコアとなります。図 1 は、これらのミリ波が可能にした変化のアーキテクチャを示しています。

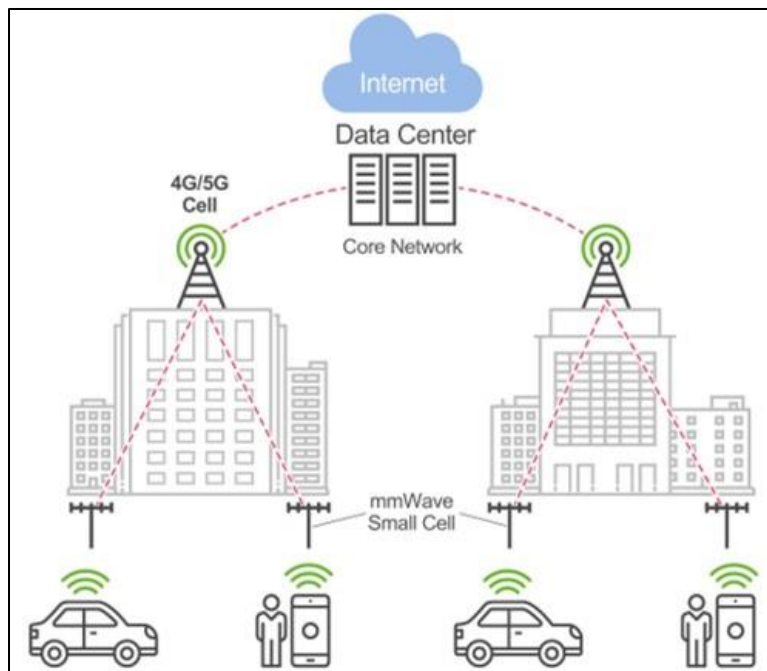


図 1：ビームフォーミング技術で接続されたスモールセルの 5G 対応通信のデータセンターとの連動

5G 市場の拡張を展望する

2025 年までに、5G ネットワークが世界の人口の 3 分の 1 をカバーする可能性があります。モバイル業界とその顧客への影響は甚大なものとなります[1]。さらに、2021 年 7 月の Ericsson Mobility Report によると、2026 年までに 5G のサブスクリプションは 35 億件を超え、ほとんどの地域で 4G を上回る進展を遂げるとされています[3]。

業界のコンサルティング会社である Yole Développement (Yole) の SA によれば、5G RF FEM 用のアドバンストパッケージング市場は、2026 年までに 23 億米ドルに達し、複合年間成長率 (CAGR) は 30%になると予測されています[4]。

Yole の RF デバイスおよびテクノロジー部門の、テクノロジーおよびマーケットアナリストである Antoine Bonnabel によると、「5G の登場で周波数に変化があり、FR1 では 3GHz 超の周波数帯が追加され、FR2 ではミリ波が追加された」「このこととシステムレベルのトレンドは、コンポーネントの数とその上に構築される技術プラットフォームの両方に大規模な影響を与えました。」とのことでした[5]。

RF フロントエンド統合の歴史

次のセクションでは、5G パッケージングに関連する課題と、ソリューションを実現するために利用できる関連の「ツールボックス」について説明します。

5G IC パッケージングの課題

5G システム用の高度なパッケージングでは、RF、アナログ、デジタルの各機能に加え、パッシブコンポーネントやその他のシステムコンポーネントを単一モジュールに統合する必要があります。ヘテロジニアスインテグレーション（HI）と呼ばれるこの統合を実現する高度な SiP 設計は、以下のような理由から 5G においてより重要になります。

- a) アンテナとトランシーバーIC やその他の回路との統合
- b) パッケージング技術の進歩により、近い将来、サブ 6GHz 周波数帯 1（FR1）が追加
- c) 新しいミリ波帯の周波数帯 2（FR2）における、フィルター、ダイプレクサ、広帯域パワーアンプ、スイッチなどの RF 回路の統合
- d) 既存の RFFE のアドオン・モジュールへの最適な小型化とコンポーネントの統合

パッケージのサイズと損失をさらに削減するには、トランシーバーとフロントエンドモジュールを近接させる必要があります。RF モジュール内のアンテナまたはアンテナ・イン・パッケージ（AiP）デザインのパッケージレベルでの統合、およびアクティブコンポーネントを許容可能な熱限度内に保つための放熱の同時モデリングが、このようなニーズに対処します。サイズ、コスト、性能といった設計上の課題に対処するために、パワーアンプをアンテナアレイと統合することが必須の手順です。パッケージ設計者にとって、これらの課題を解決するためには、細線化と正確な層間レジストレーションによる多層製造、導電損失を低減するための高度な低損失材料、回路、デバイス、パッケージ、熱的性能のコシミュレーションが必要です。

より高い電力レベルと周波数での 3D パッケージ統合への移行は、様々な回路ブロック間の非常に優れた分離を必要とします。さらに、大量に展開するためには、数百万台の基地局に搭載される高出力アンプや大型アンテナアレイの製造コストにも取り組まなければなりません[6]。

5G RF パッケージング技術のツールボックス

複雑な 5G RF フロントエンドモジュールの技術的要求を適えるためには、高度なパッケージ統合技術を展開す

る必要があります。高度な SiP 技術ツールボックスは、これらの需要に応えるものです。図 2 は、効果的な 5G 技術ツールボックスの重要な属性を示しています。

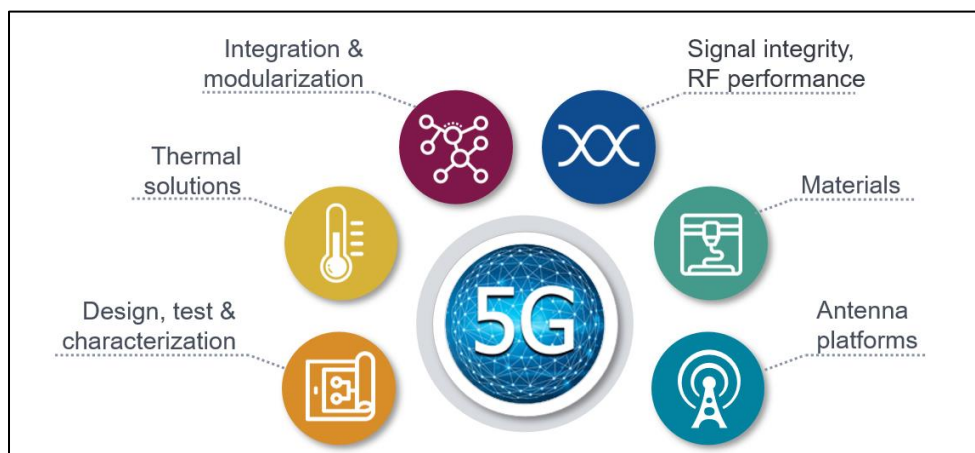


図 2 : アドバンスド RF パッケージング技術のツールボックスに組み込まれているさまざまなツール

新しい周波数の増加と、多様な多重化方式の組み合わせにより、RF フロントエンドの複雑さは大幅に増しています。SiP 手法を用いた統合により、お客様は RF サブシステムの設計、調整、検査を行うことができ、設計の繰り返しを減らし、市場投入までの時間を短縮することができます。

高度 SiP パッケージの統合は、無数の理由から 5G パッケージングに活用されています[7]。

- ▶ システム設計者にとっての柔軟性の向上は、IC テクノロジーのミックスと組み合わせ、各機能ブロックのパフォーマンスの最適化、コストの削減をもたらします。
- ▶ 市場投入までの時間が短縮されます（システム・オン・チップ（SoC）アプローチと比較して）
- ▶ 信号配線の複雑さをパッケージサブストレートに移行することで、マザーボードの複雑さを軽減。
- ▶ パフォーマンスの向上—様々な IC やパッシブコンポーネントを近接して配置することで、ラインの長さが短くなり、抵抗（R）、インダクタ（L）、コンデンサ（C）の損失が減り、シグナルインテグリティの向上と消費電力の削減につながります。
- ▶ システムコストの低減—ディスクリットパッケージと比較して、最適化された SiP ソリューションは、システム全体のコスト低減につながります。
- ▶ スモールフォームファクター—複数のチップやパッシブを単一の SiP に統合することで、サブシステムのサイズを縮小できます。
- ▶ 信頼性の向上—SiP がモールドされているため、接合部のストレスが軽減され、ボード/プリント基板

(PCB) 上に組立てられたディスクリートのコンポーネントと比較してはんだ接合部の信頼性が向上します。

DSMBGA の導入について

5G のフロントエンドモジュールに求められるハイレベルの統合に対応するため、既存の片面 SiP パッケージ技術の拡張が追求されました。このようなパッケージの特徴と組立プロセスの組み合わせにより、両面モールドボールグリッドアレイ (DSMBGA) パッケージが実現しました。パッケージの開発は 2018 年に開始され、最初の製品は 2020 年 5 月に生産開始されました。図 3 は、統合型デュプレクサ付き DSMBGA フロントエンドモジュール (FEMiD) および統合型デュプレクサ付きパワーアンプモジュール (PAMiD) の代表的なブロック図です。

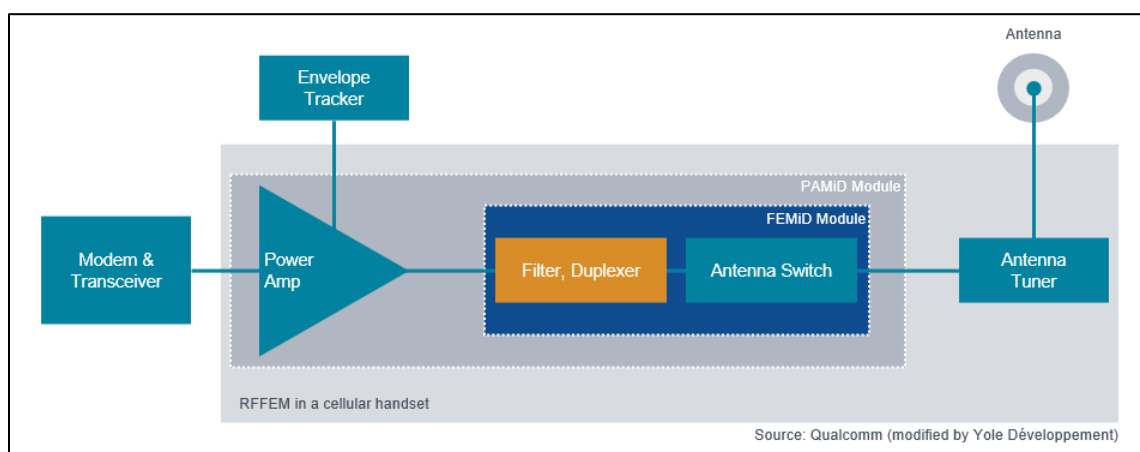


図 3：携帯電話端末 PAMiD に搭載された FEMiD と PA の一体化。画像出典：Yole Développement SA

上記のようなハイレベルの統合を実現するために、いくつかの実現技術を組み合わせ、DSMBGA フロントエンドモジュールが作り出されました。ストリップラインディング、モールドアンダーフィル (MUF)、両面モールドリングなどを駆使し、業界をリードする設計ルールと組み合わせることで、パッケージの小型化を大幅に進歩させることができました。その他の改善として、電磁干渉 (EMI) を遮断および減衰する最先端のコンフォーマルシールディングやコンパートメントシールディング、インライン RF テストの実施などにより、堅牢かつコスト効率の高い組立技術の実現があります。図 4 は、この RF フロントエンドパッケージの製作のために適用された広範な技術と重要なパフォーマンス属性を示しています。DSMBGA パッケージは、パワーアンプとフィルタリング回路を追加することで、シグナルインテグリティの向上とロス低減を実現し、結果として Rx/Tx の増幅性能を改善し、システムの電力要件を削減することになりました。

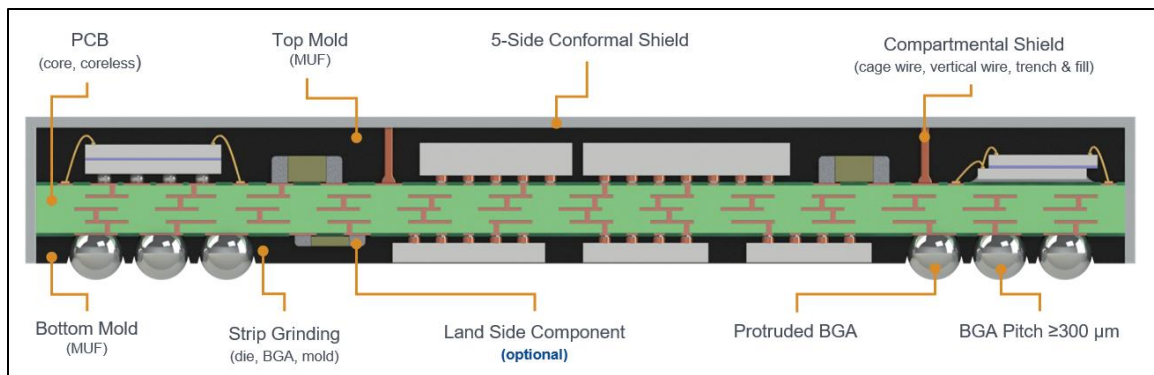


図 4 : DSMBGA を実現する技術であるトップモールドとボトムモールドのアンダーフィル

高度な SiP 設計ルール

IC パッケージ技術の 1 つの重要な基準は、その設計ルールです。DSMBGA では、最先端の SiP 設計ルールが適用され、高集積かつスモールフォームファクタのパッケージを実現しています。図 5 は、パッケージ小型化のための代表的な SiP 設計ルールの属性を示しています。パッケージやコンポーネントの最小間隔は、サブストレートメーカーのプロセス能力（ソルダーマスクのレジストレーションなど）と、パッケージやコンポーネントの物理的許容差、組立プロセスの堅牢性、使用する組立材料に直接関係します。例えば、コンポーネントのツームストーニングを防ぐためには、サブストレートのボンドパッドの形状、ソルダーペーストのステンシル設計、

ソルダーペーストの材料などがすべて相互に影響し合うため、大量生産に向けて最適化する必要があります。モールドアンダーフィル（MUF）は、プロセスコストの削減やパッケージ間隔の縮小のために一般的に使用されています。堅牢な MUF プロセスを実現するためには、モールドディング技術（圧縮モールドディングと転送モールドディングなど）、モールドプロセスのパラメーター（転送時間、圧力、温度など）、およびモールドコンパウンド材料を慎重に選択し、最適化する必要があります。歩留まりの高い生産プロセスを確保することができます。サブストレートのソルダーマスクの厚さを制御し、ソルダーマスクのキープアウトゾーンを戦略的に配置することで、モールドアンダーフィルのプロセス品質とパッケージの長期信頼性を可能な限り強固なものにしています。

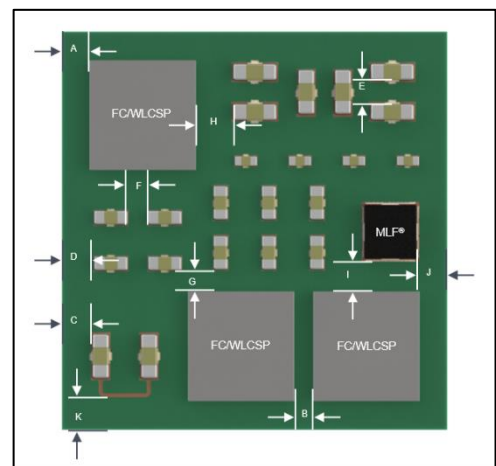


図 5 : 代表的な SiP 設計ルールの属性

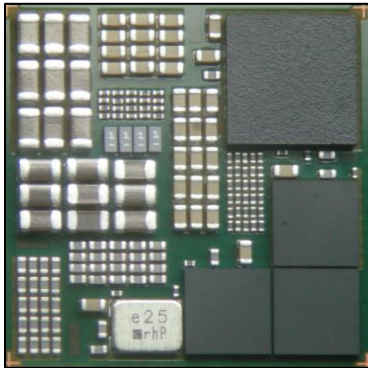


図 6 : Adv SiP の設計ルール検証
用のテストビークルの例

高度な設計ルールは、広範なプロセス最適化、ワークマンシップの分析、コンポーネント／ボードレベルの信頼性テストによって厳密に検証されています。図 6 は、様々なサイズのフリップチップ、チップスケールパッケージ（CSP）とパッシブコンポーネントを搭載した、代表的な高度 SiP のテストビークル（TV）です。ソルダーマスクで定義されたボンドパッドと、ソルダーマスクで未定義のボンドパッドを TV に組み込み、コンポーネント／パッケージのスタンドオフ、ツームストーニング、MUF 性能への影響を検証しました。組立てられた TV は、高温保存（HTS）、プレコンディショニング、温度サイクル（TC）、偏りのない高加速ストレステスト（UHAST）など、コンポーネント

レベルの代表的なバッテリーの信頼性テストを受けます。ボードレベルの信頼性も、温度サイクルや落下衝撃テストによって検証されています。

EMI シールドイング

システム性能を保証するためには、DSMBGA パッケージ内のシグナルインテグリティを維持することが不可欠でした。IC とその周辺回路における電氣的な障害とそれによる信号の劣化を最小限に抑えるためには、革新的な電磁干渉／無線周波数干渉（EMI／RFI）シールドイングを構造に組み込む必要がありました。図 7 は、DSMBGA パッケージに組み込まれている EMI シールドイング技術の一部を説明しています。

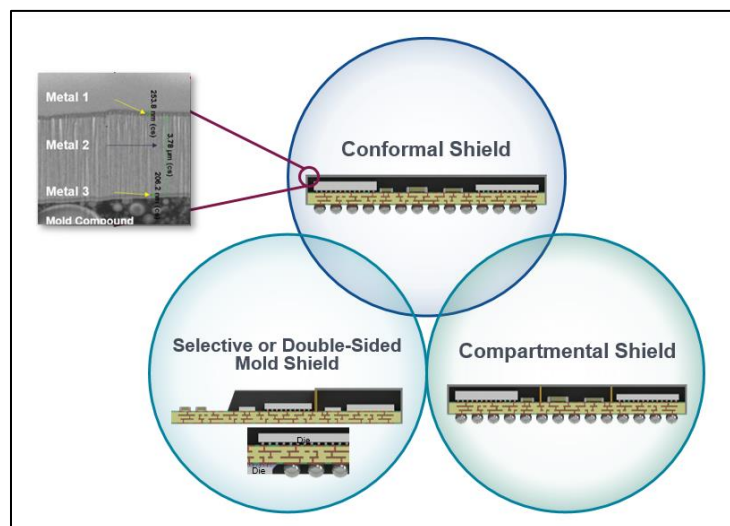


図 7 : EMI/RFI シールドイング技術による、パッケージ内と近接の電気妨害の最小化

業界をリードする PVD（Physical Vapor Deposition）ツールを利用して、パッケージの外面に薄い金属スタックアップを施し、DSMBGA の有機サブストレートの露出したグラウンドプランに結合します。この導電性 EMI コーティングは、コンフォーマルシールディングと呼ばれています。最先端のマスキング技術を適用することで、必要に応じてパッケージの一部の領域にコンフォーマルシールドを付けることができます。コンパートメントシールディングは、DSMBGA パッケージに利用されている別の EMI 抑制技術です。これらのコンパートメントシールディング技術は、パッケージ内のパーティションを使用した内部コンポーネント間のシールドのための適応可能な設計を示しています。

コンパートメントシールディングの原型となる技術は「トレンチ&フィル」と呼ばれていました。今は、より高度なコンパートメントシールディング技術が開発され、高機能なワイヤーボンド技術を利用して、モールドパッケージ内にワイヤーフェンス、ワイヤーケージ、垂直ワイヤー構造を作ることができます。ストリップグラインドやレーザーアブレーションなどのプロセスを経て、内包されたワイヤーを露出させます。次いで、コンフォーマルシールディングを施すことで、ワイヤー構造が電界や電磁波を遮断するファラデーケージ効果を生み出しています。これらの EMI シールディングの構造を図 8 に示します。

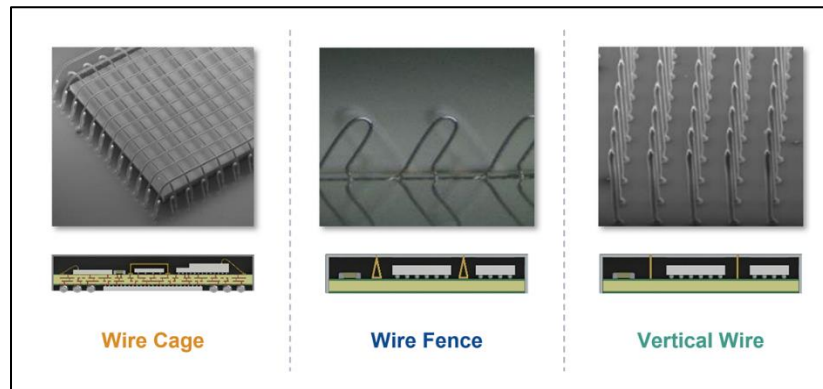


図 8：システム性能を向上させる DSMBGA パッケージの EMI シールディング技術

コンフォーマルシールディング技術では、プロセスの品質と生産量を確保するために厳しい管理が必要です。この機能を実現するために、PVD をパッケージレベルの処理に適応させました。図 9 は、PVD コンフォーマルシールディング技術を説明しています。集束イオンビーム（FIB）カットを使用して、金属スタックの厚さを検証します。5 面体のアプリケーションでは、効果的な EMI シールディングを確保するために、正確で再現性のある上面と側壁のコーティングを得るために、PVD を最適化する必要があります。なお図 9 では、非シールドパッケージとシールドパッケージの EMI シールディングの有効性も比較しています。

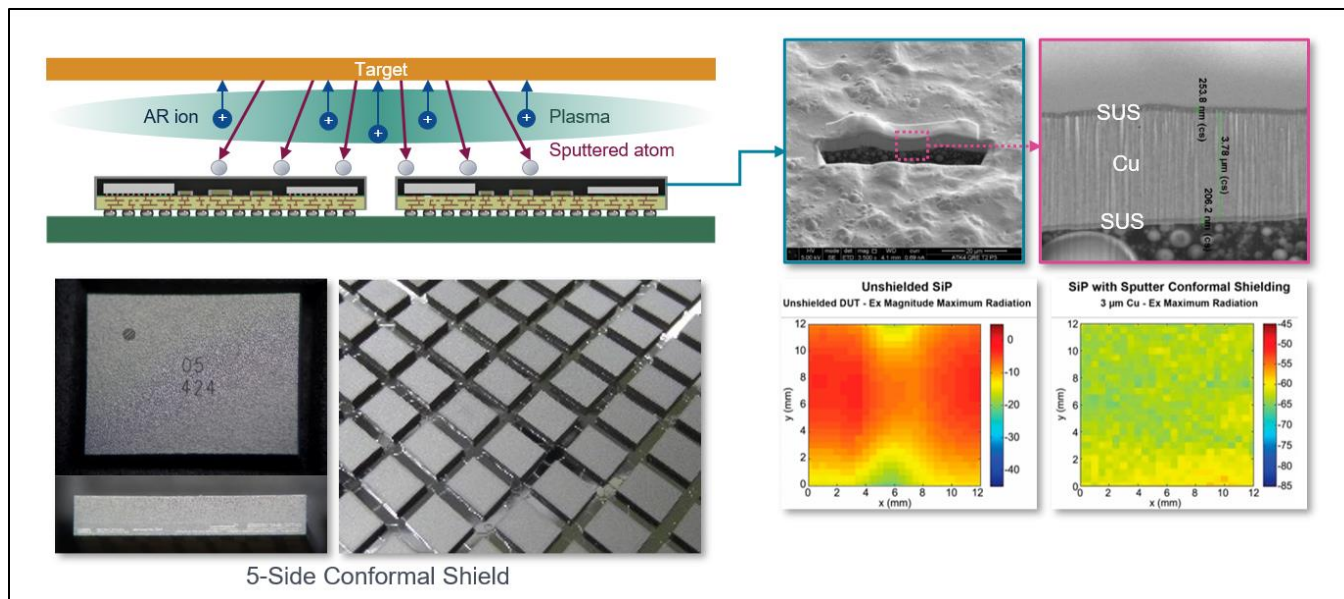


図 9：コンフォーマルシールディングと EMI 放射抑制効果

5G フロントエンドモジュールの進化とロードマップ

コンポーネントレベルでの統合を必要とする 5G RF システムの回路は、DSMBGA パッケージが提供するサイズ、コスト、性能面でのメリットをほぼすべて得られます。現在使用されている DSMBGA パッケージの大半は、PAMiD 製品用です。従来、PAMiD 製品はフロントエンドモジュールの回路の複雑さがそれほど要求されていなかったため、片面 SiP 設計で提供されていました。（例：3G アプリケーション）しかし、4G LTE の登場により、中高帯域のパワーアンプおよびフィルタリング回路の要求が高まり、1 台の携帯電話に最大 5 つの RF フロントエンドモジュールが必要になりました。これにより、DSMBGA の前身である DSBGA（両面 BGA）パッケージでは、構造体の底面に IC を実装するという進化を遂げ、片面 SiP 構造の等価回路のモジュールサイズを大幅に縮小することができました。その後、5G 携帯電話用スペクトラムの進化に伴い、超広帯域（UWB）回路の導入でフロントエンドモジュールの複雑さがさらに増しました。

これらのマルチバンドに対応するために、5Gsub6GHz および 5G ミリ波アプリケーションでは、それぞれ最大で 7 つおよび 9 つのフロントエンドモジュールが必要とされ、その結果、DSMBGA パッケージが登場しました。最新版の DSMBGA パッケージは、初期の中高帯域 PAMiD と比べて約 50% の小型化を実現しています。

EMI シールディング、フリップチップ PA、両面モールドボールグリッドアレイパッケージなどのイノベーションにより、PAMiD サプライヤーは同じシステムをより小さなフットプリントで統合することに成功しました。図 10 は、5G スマートフォン向けの RF フロントエンドモジュール統合の進化とロードマップです。図 11 は、DS MBGA パッケージの 5G PAMiD 製品の例です。

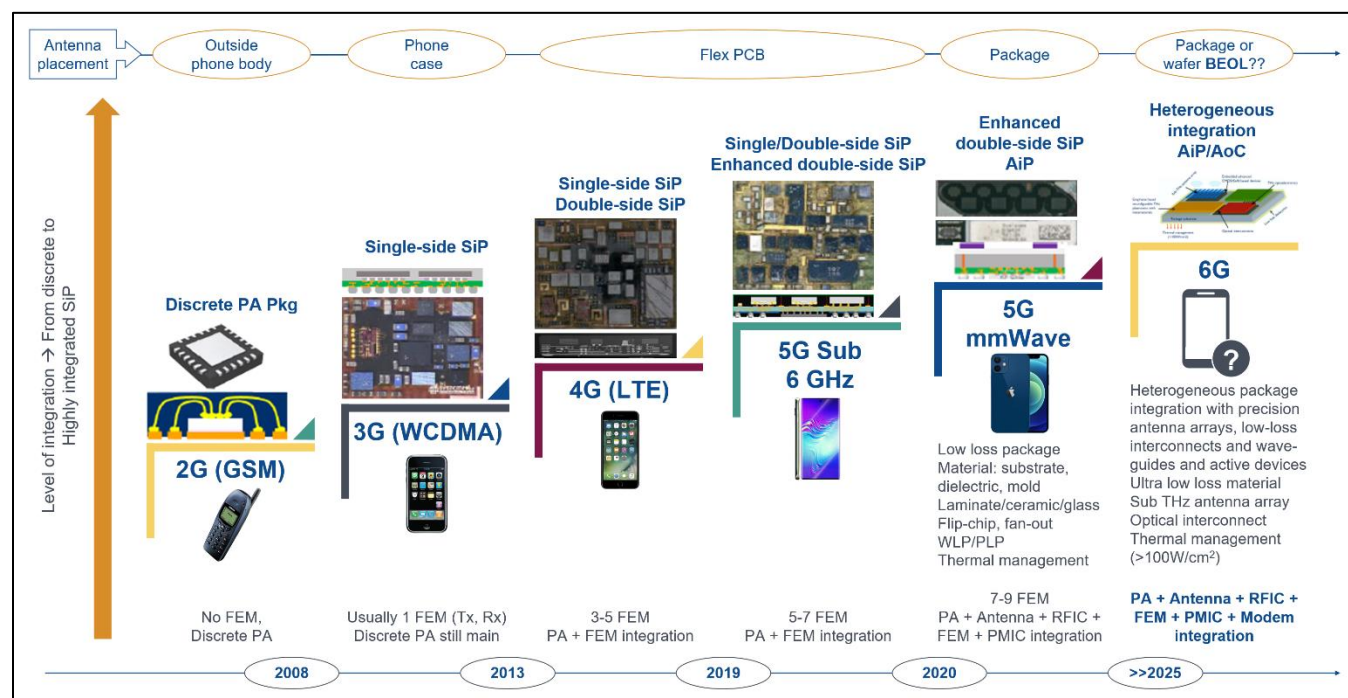


図 10 : パッケージングインテグレーションの進化とスマートフォンのトレンド

出典 : スマートフォン用の 5G パッケージングのトレンドレポート (www.yole.fr) [6]

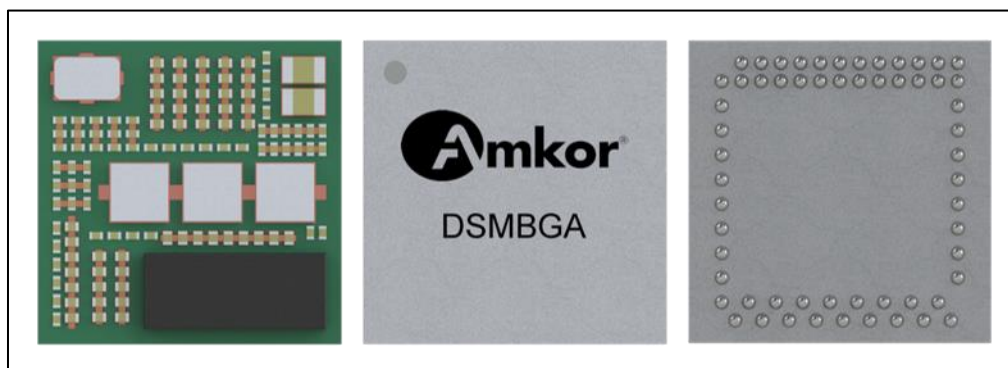


図 11 : PAMiD DSMBGA 製品の例。MUF 前のレイアウト、MUF と EMI シールディング後の上部と底部を示しています

サマリー

高度な SiP の両面モールド BGA プラットフォームは、この分野における業界の技術標準となっています。最先端の設計ルールである 3D コンポーネント配置や両面モールドリング、コンフォーマルシールディングやコンパートメントシールディング、インライン RF テストなどを応用することで、小型でありながら高い歩留まりを実現しています。

強力な SiP の容量と DSMBGA 技術に加え、パフォーマンスを最大化するための広範なツールセットが開発され 5G アプリケーションの製品化に必要な高度なパッケージングフォーマットに対応しています。これらのツールの中には、AiP、サブストレートエンベッド型チップ、ウェハレベル SiP、そして様々な RF シールディング設計オプションが含まれています。このツールセットと、RF モジュールの設計、特性評価、ベンチテストに関する専門知識を組み合わせることで、5G ネットワークのためのアドバンストパッケージ組立とテスト技術を用いて複数の IC を組み合わせることに関連する課題（多額の投資を含む）を外部委託したいお客様にサービスを提供することができます。

5G に対応したパッケージの需要が高まる中、弊社は 1 年以上前から量産市場向けに DSMBGA 技術の生産への導入を成功させてきました。

参考資料

- [1] 「5G のグローバルローンチと戦術」 https://www.gsma.com/futurenetworks/ip_services/understanding-5g/5g-innovation/ 投稿者 : GSMA
- [2] 「Everything you need to know about 5G (5G について知るべきすべて)」 IEEE Spectrum (2017 年 1 月 27 日号) 著者 : A.Nordrum、K.Clark
- [3] 「Ericsson モビリティレポート (2021 年 6 月)」 <https://www.ericsson.com/en/mobility-report/reports/june-2021> 投稿者 : Ericsson
- [4] 「2021 年度スマートフォン用 5G パッケージングのトレンド」 www.yole.fr 投稿者 : Yole Développement SA、2021
- [5] 「2021 年度モバイル機器用 RF フロントエンド技術」 www.yole.fr 投稿者 : Yole Développement SA、2021
- [6] 「5G フロントエンドシステムパッケージのレビュー」 IEEE Transactions on Components, Packaging and Manufacturing Tech. (2021 年 1 月 1 日号、第 11 巻) 著者 : A.O.Watanabe、M.Ali.B.Sayeed、R.R.Tummala、P.M.Raj
- [7] 「2020 年度システム・イン・パッケージ技術と市場トレンド」 www.yole.fr 投稿者 : Yole Développement SA、2020
- [8] 「Mathematics of the Faraday Cage」 (SIAM Review、Vol. 57、No. 3、pp.398-417.) https://people.maths.ox.ac.uk/trefethen/chapman_hewett_trefethen.pdf
投稿者 : S.J.Chapman、D.P.Hewett、L.N.Trefethen
- [9] 「5G Packaging Trends Smartphones 2021」 www.yole.fr 投稿者 : Yole Développement SA、2021

バイオグラフィー

Amkor Technology, Inc. アドバンスド SiP 製品開発担当、VP、Curtis Zwenger



Curtis は 1999 年に Amkor に入社し、Amkor のファインピッチ銅ピラースルーモールドビアおよびウェハレベルパッケージング技術の開発においてリーダーシップを発揮しました。現在は、アドバンスド SiP、MEMS/センサー、メモリ製品の開発を担当しています。Curtis は、IMAPS Symposium on Microelectronics 2019 の元議長であり、IMAPS エグゼクティブ審議会でメンバーシップ理事長を務めています。数多くの技術記事や論文も執筆し、最近発売された書籍「Advances in Embedded and Fan-Out Wafer Level Packaging Technologies（エンベッドおよびファンアウトウェハレベルパッケージング技術の進歩）」の章を共同執筆しています。Curtis は、30 件の米国特許を取得し、コロラド州立大学で機械工学の学位を、フェニックス大学で MBA を取得しています。

Amkor Technology の DSMBGA パッケージの詳細は、<https://amkor.com/dsmbga> を参照してください